

Circuito de alimentación y acondicionamiento de señal para sistema identificador de ganado

María Isabel Schiavon

Laboratorio de Microelectrónica - FCEIA - UNR
Av. Pellegrini 250 – (2000) Rosario. Argentina.
TE: 54 341 4802649 int. 119 FAX: 54 341 4802654
E-mail: bambi@fceia.unr.edu.ar

Daniel Crepaldo

Laboratorio de Microelectrónica - FCEIA - UNR
Av. Pellegrini 250 – (2000) Rosario. Argentina.
TE: 54 341 4802649 int. 119 FAX: 54 341 4802654
crepaldo@fceia.unr.edu.ar

Raúl Lisandro Martín

Laboratorio de Microelectrónica - FCEIA - UNR
Av. Pellegrini 250 – (2000) Rosario. Argentina.
TE: 54 341 4802649 int. 119 FAX: 54 341 4802654
rlmartin@fceia.unr.edu.ar

Federico Pacher

Laboratorio de Microelectrónica - FCEIA - UNR
Av. Pellegrini 250 – (2000) Rosario. Argentina.
TE: 54 341 4802649 int. 119 FAX: 54 341 4802654
fpacher@fceia.unr.edu.ar

Resumen: Se presentan las topologías circuitales y el diseño y dimensionamiento de los componentes del circuito de alimentación y del modulador de señal que forman parte de un subsistema monochip pasivo diseñado en tecnología CMOS de 0,5 micrones. El subsistema y una antena conforman el dispositivo pasivo o tag de un sistema de identificación de ganado. El identificador, que será insertado a nivel subcutáneo, se encapsulará en un material biocompatible no poroso o cristal y su consumo debe ser mínimo.

Palabras claves; CMOS; radio frecuencia; identificador pasivo;

I. FUNDAMENTOS.

El sistema de detección e identificación de ganado por radio frecuencia, cuyo diagrama genérico se muestra en la figura 1, consta de un dispositivo pasivo, identificador, “tag” o “transponder”, que insertado a nivel subcutáneo permite realizar el seguimiento e identificación del ganado en campo y de un “transreceptor” o “transceiver” que es la unidad fija que activa el identificador y entrega los datos a almacenar o recibe los datos almacenados en el tag.

El sistema responde a requerimientos que contemplan funcionamiento pasivo del identificador, lectura de datos en movimiento a una distancia no mayor a 80cm en un ambiente sin interferencias, niveles de radiación electromagnética que garanticen condiciones de seguridad biológica, codificación de señales para gestión automática de datos por ordenador, baja incidencia de errores de identificación y fallos de lectura, resistencia a las condiciones ambientales y de uso en los animales durante toda su vida productiva, y costo asumible por la cadena productiva [1].

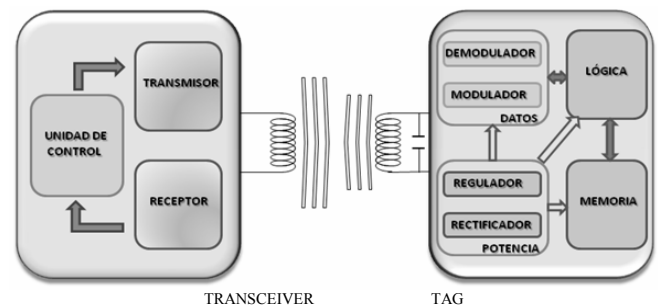


Figura 1. Diagrama en bloques del sistema

El transceptor consta de un módulo de radio-frecuencia encargado de la emisión, recepción e interpretación de la señal electromagnética, una antena, una fuente de energía que permita alimentación con baterías o conexión a la red, un procesador o unidad de control para el tratamiento y/o almacenamiento de la información recibida, una pantalla para visualizar los datos recibidos y una salida de señal para conexión a un ordenador o equipo que actúa en función de la información recibida.

El identificador está formado por un conjunto inductancia-capacitor resonante a la frecuencia de trabajo a través de la cual se recibe la energía necesaria para el funcionamiento y los datos a almacenar en una operación de escritura o se transmiten los datos almacenados en una operación de lectura y por un subsistema monochip de aplicación específica (ASIC) diseñado en tecnología CMOS. El conjunto, encapsulado en un material biocompatible no poroso o cristal, se insertará a nivel subcutáneo en el animal.

El subsistema monochip esta formado por un bloque de alimentación, un subsistema de acondicionamiento de señal, un subsistema de control, una memoria no volátil, y una antena formada por un conjunto inductancia-capacitor resonante a la frecuencia de trabajo que recepciona la energía necesaria para el funcionamiento y los datos a almacenar en una operación de escritura o emite los datos almacenados en una operación de lectura.

Se presentan las topologías circuitales y el diseño y dimensionamiento, para tecnología CMOS 0,5µm disponible en el programa MOSIS, de los componentes del circuito de alimentación y del modulador de señal que forman parte del sistema monochip.

II. SUBSISTEMA DE POTENCIA

El subsistema de potencia, cuyo diagrama en bloques se muestra en la figura 2, es una fuente regulada CMOS embebida que rectifica y regula en tensión la potencia recibida en el conjunto resonante que funciona como antena para generar una tensión de salida sustancialmente constante (V_{reg}). Está compuesto por un rectificador CMOS de onda completa, un filtro a capacitor [2] y un regulador.

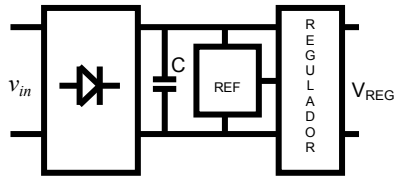


Figura 2. Diagrama en bloques del subsistema de potencia

En la figura 3 se muestra el esquema del circuito rectificador que está formado por dos transistores NMOS (M1 y M2) y seis PMOS (M3, M4, M5, M6, M7 Y M8) y el capacitor de filtro C1.

Los transistores NMOS (M1-M2) y los transistores PMOS M3 y M4 conforman las ramas del rectificador. La corriente circula alternativamente por la rama conformada por los transistores M1-M4 o la rama conformada por el par de transistores M2-M3. Los otros cuatro transistores PMOS (M5, M6, M7, M8) fijan en forma dinámica los potenciales de los pozos sobre los que se fabrican M3 y M4, su tamaño relativo no tiene mayor influencia en el funcionamiento, por lo cual se diseñan de tamaño mínimo.

Los transistores canal P pueden funcionar exclusivamente en zona de corriente constante y su potencial puerta-fuente o drenaje-fuente queda fijado por la corriente de carga.

La tensión de entrada fija la tensión puerta-fuente de los transistores canal N y como trabajan en zona resistiva su corriente queda fijada por la carga siendo su tensión drenaje-fuente la variable de ajuste. Esto hace que su tamaño tenga menor influencia en la tensión de salida.

Los transistores se dimensionaron para una corriente de carga de 20µA tratando de maximizar la tensión media de salida y de minimizar corrientes de fuga y el área utilizada.

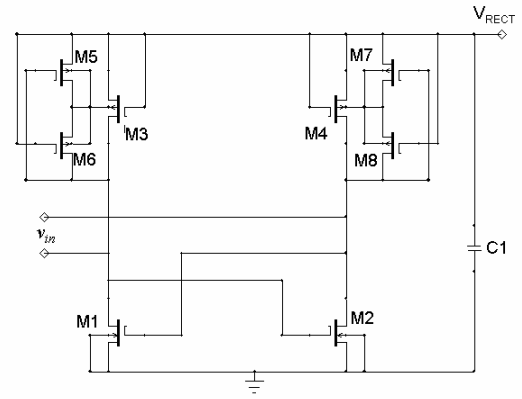


Figura 3. Esquema circuitual del rectificador

La presencia de C1 provoca picos de corriente de corta duración a la entrada del circuito con una relación casi lineal con el valor medio de la corriente de salida, pero al mismo tiempo su valor es determinante del ripple a la salida del rectificador, para minimizar el ripple y mantener el área acotada su valor se fijó en 200pF.

La tensión máxima de salida queda determinada por:

$$V_{oMAX} = V_{iMAX} - V_{DSN} - V_{DSP} \quad (1)$$

La tensión de salida es dependiente de la relación entre el ancho (W) y el largo (L) del canal de los transistores, de manera que a mayor relación W/L mayor tensión de salida. Maximizar la tensión de salida implica aumentar la relación de los transistores, y en consecuencia, aumentar el área necesaria.

Si se pretende minimizar las corrientes de fuga es necesario minimizar el efecto de las capacidades parásitas contra sustrato, o sea minimizar el producto WL (área de canal) en cada transistor.

La tensión de salida tiene alta sensibilidad con la tensión drenaje fuente de los transistores P-MOS de la rama principal (M3 y M4). En una primera aproximación, si L es el largo del canal, W es el ancho del canal, K es el parámetro de transconductancia y V_T es la tensión de arranque, esta tensión queda determinada por:

$$\left[|V_{DS}| = |V_{GS}| = \sqrt{\frac{I_D L}{KW}} + |V_T| \right]_{M3 \text{ y } M4} \quad (2)$$

o lo que es lo mismo:

$$W_{3,4} = \frac{I_D L}{K (V_{GS} - V_T)^2} \quad (3)$$

Fijando el largo del canal de todos los transistores en el mínimo ($L=0,6$ micras), el ancho de los transistores M5, M6, M7 y M8 se fijó en un valor mínimo de 2μ dado que sus dimensiones no producen efecto en la tensión de salida, y considerando en todos los casos máxima corriente media de salida ($20\mu A$), se realizaron simulaciones para determinar la relación tensión de salida versus ancho de canal en los cuatro transistores que conforman las ramas de circulación de corriente de carga del rectificador ($M1 \equiv M2$, $M3 \equiv M4$). Se realizaron simulaciones para distintos tamaños relativos de los transistores P variando el ancho del canal de los transistores N, verificando la poca influencia del tamaño de estos últimos.

En la figura 4 se muestra la gráfica tensión de salida versus ancho del canal de los transistores P para transistores N con un tamaño lo suficientemente grande como para que su influencia sobre la salida sea totalmente despreciable ($W_{1,2}=80$ micras). Se puede observar que a partir de un determinado ancho de canal de los transistores P la tensión tiende a estabilizarse no justificando un mayor aumento de área. El ancho del canal de los transistores P se fijó en 50μ ($W_{3,4}=50\mu$).

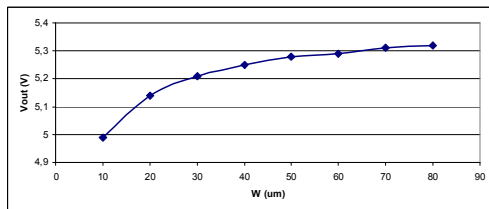


Figura 4. Efecto tamaño transistores P

En la figura 5 se muestran los resultados obtenidos para distintos anchos de canal para los transistores N con transistores P con ancho de canal de 50 micras.

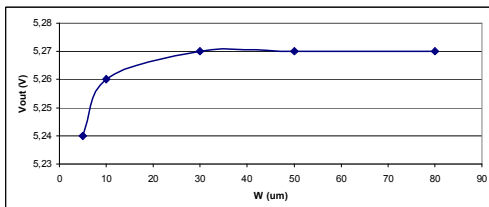


Figura 5. Efecto tamaño transistores N

Las gráficas muestran la mayor dependencia de la tensión de salida con el ancho del canal de los transistores P, y la escasa influencia en la tensión de salida del tamaño de los transistores N. El ancho de los transistores del rectificador se adoptó en función de un compromiso entre independencia y área. En la tabla I se resumen los tamaños adoptados.

TABLA I. TAMAÑO TRANSISTORES RECTIFICADOR

TRANSISTOR	TIPO	L (μm)	W (μm)
M1 ≡ M2	N	0,6	10
M3 ≡ M4	P	0,6	50
M5 ≡ M6 ≡ M7 ≡ M8	P	0,6	2

En la figura 6 se muestra la topología del circuito regulador de tensión.

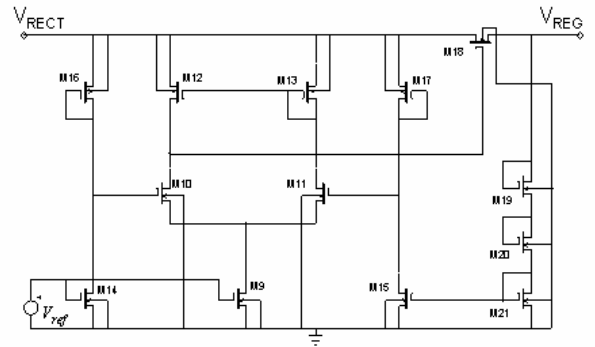


Figura 6. Circuito regulador

Es un regulador serie cuyo transistor de paso (M18) es excitado por la salida de un amplificador diferencial conformado por los transistores M9, M10, M11, M12 y M13 que compara una proporción de la tensión de salida con una tensión de referencia, V_{ref} .

La tensión de referencia es ligeramente menor que la V_T de los MOS, por lo tanto los transistores M9, M10 y M11 funcionan en inversión débil. Para minimizar el consumo del amplificador de error frente al de la carga, el transistor M9 se dimensiona para que fije una corriente de $0,1 \mu A$.

En inversión débil la corriente queda determinada por:

$$I_D = I_{D0} \frac{W}{L} e^{\frac{V_{GS}}{\eta kT/q}} \quad (4)$$

Teniendo en cuenta las especificaciones y los parámetros tecnológicos, la relación ancho sobre largo del canal para el transistor M9 resulta aproximadamente igual a 11.

$$\left(\frac{W}{L}\right)_9 = 11 \quad (5)$$

Para disminuir el error en la tensión de salida la ganancia del amplificador debe ser como mínimo 100:

$$A_v = \frac{g_{mQ3}}{i} \frac{V_{AP} V_{AN}}{V_{AP} + V_{AN}} \geq 100 \quad (6)$$

Cuando el transistor trabaja en inversión débil el cociente g_m/i depende exclusivamente de la tecnología y es independiente de las dimensiones del transistor. Las tensiones de Early son proporcionales al largo de canal de los transistores.

Experimentalmente se obtuvo la relación entre L y V_A y se estimó el largo mínimo del canal de los transistores para el diferencial, para los transistores NMOS el largo mínimo se fijó en 4μ mientras que para los P resulta 1μ . Para asegurar mejores condiciones de apareamiento, se adoptan largos mayores y, en consecuencia, se obtiene una mayor ganancia en el amplificador.

Los tamaños definitivos fueron ajustados por simulación y se especifican en la tabla II.

TABLA II. TAMAÑO TRANSISTORES REGULADOR

TRANSISTOR	TIPO	L (μm)	W (μm)
M9	N	2	22
M10 \equiv M11	N	2	12
M12 \equiv M13	P	6	6
M14 \equiv M15	N	2	6
M16 \equiv M17	P	6	2
M18	N	0,6	60
M19 \equiv M20	N	15	2
M21	N	1	12

En la figura 7 se presenta el circuito que se utiliza para obtener la tensión de referencia (V_{ref}) para el circuito regulador. Si bien la mayoría de los circuitos obtienen la referencia de tensión a partir del transistor bipolar vertical disponible en tecnología CMOS [2], la falta de datos acerca de su disponibilidad y características en la tecnología elegida llevó a diseñar un circuito íntegramente compuesto por transistores MOS, cuyo adecuado diseño permite obtener una tensión de referencia de valor próximo a la tensión umbral (V_T) de los transistores NMOS.

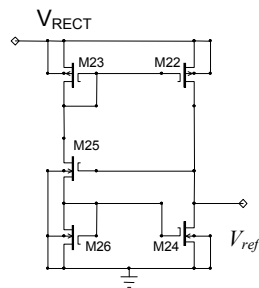


Figura 7. Esquema circuital para referencia de tensión

Para la tecnología adoptada, la tensión drenaje fuente del transistor M24 se estabiliza en un valor que depende de las dimensiones relativas de los transistores y es prácticamente independiente de la tensión de alimentación. Todos los transistores deben trabajar en inversión débil en zona de saturación del canal. Los transistores PMOS (M22 \equiv M23) deben estar apareados ya que son los responsables de asegurar la igualdad de corriente en ambas ramas que permite la estabilidad del circuito. De esta manera, la tensión de referencia queda fijada por la tensión puerta-fuente de M25 y la tensión drenaje-fuente de M26, ambas dependientes de las dimensiones relativas de los transistores, en un valor próximo a la tensión umbral de los transistores NMOS.

$$V_{DS26} + V_{GS25} = V_{DS24} = V_{ref} \quad (7)$$

Los tamaños relativos de los transistores se ajustaron por simulación de manera de obtener valores de corriente compatibles con la referencia deseada, en la tabla siguiente se dan las dimensiones adoptadas.

En estas condiciones, para una tensión a la salida del rectificador de $5,7V \pm 10\%$, la tensión de referencia se estabiliza en 735mV con una variación menor al 3%.

TABLA III. TAMAÑO TRANSISTORES REFERENCIA

TRANSISTOR	TIPO	L (μm)	W (μm)
M22 \equiv M23	P	2	5
M24	N	2	20
M25	N	2	2
M26	N	10	2

La modulación se realiza a través de un MOS canal N cuya puerta está controlada por el bit leído, conectado según se muestra en la figura 8. El transistor trabaja en corte o en zona de corriente constante, y está diseñado para que en este último caso su consumo provoque una duplicación de la corriente que debe entregar el rectificador, este efecto es reportado a través del enlace de radiofrecuencia, y el transreceptor detecta los datos bit a bit.

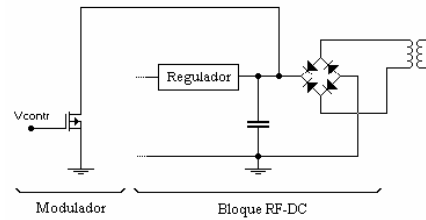


Figura 8. Esquema del modulador.

III. RESULTADOS

En la figura 9 se muestran las tensiones a la salida del rectificador (gráfica 1), a la salida del regulador (gráfica 2), y en la tensión de referencia (gráfica 3) para condiciones de carga normal (transistor de modulación cortado). En la figura 10 se muestra en la gráfica superior el efecto de la modulación sobre las tensiones a la salida del rectificador, en la del medio el efecto a la salida del regulador, y en la inferior la corriente que circula por el circuito rectificador donde se pueden apreciar los picos debidos a la presencia del filtro.

En ambas gráficas, la escala de tensión es de un $1V$ por división y la de corriente de $200\mu A$ por división, medidas respecto al eje de tiempo cuya escala es de $20 \mu\text{seg.}$ por división.

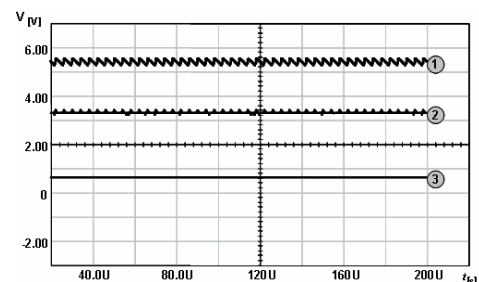


Figura 9. Gráficas de salida
 (1) Tensión en la salida del rectificador
 (2) Tensión en la salida del regulador
 (3) Tensión de referencia

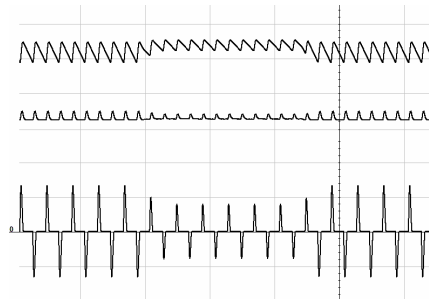


Figura 10. Figura 10: Graficas de salida modulada
Gráfica superior: Tensión en la salida del rectificador
Gráfica del medio: Tensión en la salida del regulador
Gráfica inferior: Corriente en el rectificador

Comparando las gráficas de ambas figuras, se aprecia un aumento del ripple tanto en la salida del rectificador como en la del regulador. La tensión se regula en 3,2V con picos positivos debido al ripple, el cual aún en el peor de los casos no supera los 250 mV fijados como especificación.

En las gráficas de la figura 11 se pone en evidencia el efecto de la modulación. La gráfica superior muestra el efecto de modulación que el cambio de estado del transistor produce en la energía recibida en la antena del identificador (la escala de tensión es de 5V por división) mientras que la inferior muestra el efecto en la corriente del circuito emisor en el transreceptor (escala 200 μ A por división), ambas gráficas están centradas en cero y les corresponde una escala de tiempo de 150 μ seg. por división.

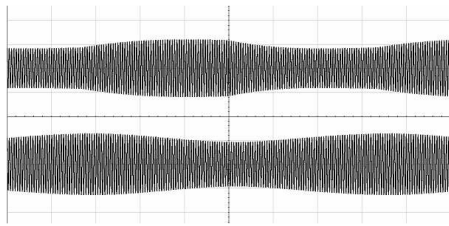


Figura 11. Tensión a la entrada del rectificador (gráfica superior)
Corriente en el circuito del transreceptor (gráfica inferior).

IV. CONCLUSIONES

Se presentaron las topologías circuitales y el diseño y dimensionamiento de los componentes del circuito de alimentación y del modulador de señal que forman parte del sistema monochip de aplicación específica. El circuito de alimentación consta de un rectificador puente, un capacitor de filtro y un regulador cuya referencia de tensión se obtiene de la tensión V_T correspondiente a los transistores NMOS. Se presentaron resultados que muestran su funcionamiento y el efecto que se produce en el transreceptor cuando se produce una identificación.

Como se carece de datos específicos respecto al nivel de ruido asociado con la tecnología, una vez terminado el layout se evaluó su posible influencia, en especial del ruido $1/f$, y los resultados obtenidos con los datos disponibles acotan los valores en magnitudes varios órdenes menores que el ripple dando validez a la suposición de que éste último enmascarará cualquier posible efecto de ruido [3]. No obstante, la comprobación final queda pendiente hasta que se disponga de los prototipos para su ensayo. Se obtuvo un circuito de bajo consumo que en el peor de los casos no alcanza los 40 μ A y que ocupa un área de silicio máxima de 160x60 μ m².

V. BIBLIOGRAFÍA

- [1] D. Crepaldo, E. Prina, M. I. Schiavon, *Implementación de un Conversor RF-DC como parte de un sistema de modulación por absorción*, Anales IX Workshop IBERCHIP, La Habana, Cuba, 2003.
- [2] M. I. Schiavon; D. Crepaldo, R. L. Martín. *Referencia de tensión independiente de la alimentación*. Anales X Workshop IBERCHIP, Cartagena de Indias, Colombia, 2004.
- [3] Weidong Liu y otros *BSIM3v3.2.2 MOSFET Model Users' Manual*. Department of Electrical Engineering and Computer Sciences University of California, Berkeley.